

18 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Off nl gungsschrift
10 DE 195 00 655 A 1

21 Aktenzeichen: 195 00 655.0
22 Anmeldetag: 12. 1. 95
43 Offenlegungstag: 18. 7. 96

51 Int. Cl.⁸:
H 01 L 23/50
H 01 L 23/12
H 01 L 23/48
H 01 L 21/86
G 01 R 31/28
H 01 L 23/053
H 05 K 7/08

DE 195 00 655 A 1

71 Anmelder:
Fraunhofer-Gesellschaft zur Förderung der
angewandten Forschung e.V., 80636 München, DE

74 Vertreter:
Patentanwälte Böck, Tappe und Kollegen, 97072
Würzburg

72 Erfinder:
Zakel, Elke, Dr.-Ing., 12183 Berlin, DE; Lin, David,
Dipl.-Ing., 10715 Berlin, DE; Gwiesda, Jörg, 13437
Berlin, DE; Ostmann, Andreas, Dipl.-Phys., 10583
Berlin, DE

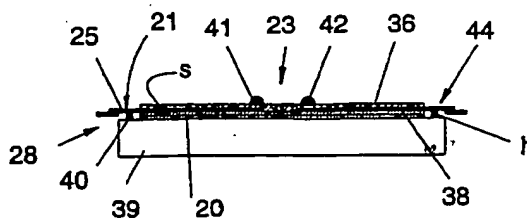
56 Entgegenhaltungen:
DE 38 24 008 A1
DE 38 14 469 A1

US 49 12 547
EP 03 43 400 A2
Thin Film Modul. In: IBM TDB, Vol. 31, No. 8,
Jan. 1989, pp. 135-138;
Improved Method for C-4 Chip Join. In: IBM TDB,
Vol. 31, No. 6, Nov. 1988, pp. 335-336;
Process for Manufacturing a Doubl Dense TAB
Package Using Solder. In: IBM TDB, Vol. 33, No. 5,
Oct. 1990, pp. 424-425;
JP 3-116838 A2. In: Patent Abstracts of Japan,
E-1099, Vol. 15, No. 315, 12.8.1991;

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Chipträger-Anordnung sowie Chipträger zur Herstellung einer Chip-Gehäusung

57 Chipträger-Anordnung (23) mit einem Chipträger (23) zur Herstellung einer Chip-Gehäusung, der auf einer Trägerfolie (20) mit Leiterbahnen (21) versehen ist, die auf der einem Chip (39) zugewandten Vorderseite der Trägerfolie mit Kontaktflächenmetallisierungen (40) des Chips verbunden sind, und die mit ihren freien Enden eine flächig verteilte Anschlußflächenanordnung (42) zur Verbindung mit einem elektronischen Bauelement oder einem Substrat bilden, wobei die Leiterbahnen (21) auf der Rückseite der Trägerfolie (20) angeordnet sind, in der Trägerfolie (20) im Bereich der Kontaktflächenmetallisierungen (40) Ausnehmungen (28) vorgesehen sind, die Leiterbahnen zur Ausbildung der Anschlußflächenanordnung (42) mit einer Lochmaske (38) abgedeckt sind und die Dicke (s) der Trägerfolie kleiner oder im wesentlichen gleich der Höhe (h) der Kontaktflächenmetallisierungen (40) auf der Chipoberfläche ist.



DE 195 00 655 A 1

Beschreibung

Die vorliegende Erfindung betrifft eine Chipträger-Anordnung mit einem Chipträger zur Herstellung einer Chip-Gehäusung, der auf einer Trägerfolie mit Leiterbahnen versehen ist, die auf der einem Chip zugewandten Vorderseite der Trägerfolie mit Kontaktflächenmetallisierungen des Chips verbunden sind, und die mit ihren freien Enden eine flächig verteilte Anschlußflächenanordnung zur Verbindung mit einem elektronischen Bauelement oder einem Substrat bilden. Des weiteren betrifft die Erfindung einen Chipträger zur Herstellung einer Chip-Gehäusung mit einer Leiterbahnen aufweisenden Trägerfolie.

Zum Schutz vor ungewollten mechanischen und chemischen Einflüssen sowie zum Abführen und Verteilen von Verlustwärme ist es in der Regel erforderlich, Chips mit einer Gehäusung zu versehen. Diese Gehäusung bietet darüber hinaus den Vorteil, daß durch eine von den Chipanschlußflächen nach außen geführte Anschlußleiteranordnung eine Verbesserung der Handhabung des Chips bei einer nachfolgenden Montage erreicht wird, da durch die nach außen geführte Anschlußleiteranordnung eine Vergrößerung der Anschlußflächen sowie durch eine aufgefächerte Konfiguration der Anschlußleiteranordnung größere Zwischenräume zwischen den von außen zugänglichen Anschlußflächen geschaffen werden. In der heute verbreiteten Oberflächenmontagetechnik (surface-mounted technology (SMT)) ist es daher üblich, eine Gehäusung aus Kunststoff, Keramik oder Metall zu verwenden, bei der die äußere Anschlußleiter- bzw. Anschlußflächenanordnung durch eine Vielzahl von nach außen ragenden Anschlußbeinchen (pin-grid-array (PGA)) realisiert wird. Bei derartigen Gehäusungen sind die Chips auf einem Chipträger angeordnet, der um ein Vielfaches größer ist als der Chip selbst, um auf dem Chipträger die vorstehend beschriebene Anschlußleiteranordnung ausbilden zu können. Hieraus resultiert eine insgesamt voluminöse Ausbildung der Chip-Gehäusung, die sich insbesondere bei der aufkommenden Multichip-Modultechnik als nachteilig erweist.

Dieser erkannte Nachteil war unter anderem ein Grund dafür, eine Chip-Gehäusung gemäß dem Oberbegriff des Anspruchs 1 zu entwickeln, die sich dadurch auszeichnet, daß der Chipträger selbst mit seiner Anschlußleiteranordnung etwa die gleiche Größe wie der Chip aufweist. Dies wurde dadurch erreicht, daß ein Chipträger geschaffen wurde, der eine Trägerfolie aus Polyimid aufweist, die auf einer Seite mit Anschlußleitern versehen ist, welche an ihren freien, über die Trägerfolie hinausragenden Enden mit den Chipanschlußflächen und an ihren auf der Trägerfolie angeordneten Endbereichen jeweils mit einer auf der Gegenseite der Trägerfolie angeordneten Kontaktmetallisierung verbunden sind. Durch eine flächig verteilte Anordnung der Kontaktmetallisierungen auf der vom Chip abgewandten Gegenseite der Trägerfolie wird eine unter dem Begriff ball-grid-array bekannte Kontaktmetallisierungsanordnung geschaffen, die die konventionelle nach außen gerichtete Anschlußleiterbeinchenanordnung (PGR) ersetzt.

Zwar ergibt sich durch diese im Bereich der Chipoberfläche liegende "innere" Anschlußleiteranordnung insgesamt eine wesentlich kompaktere Ausbildung der Chip-Gehäusung, jedoch ist es bei der bekannten Chip-Gehäusung notwendig, zwischen den Leitern und der Chipoberfläche eine weitere isolierende Zwischen-

schicht vorzusehen. Diese Zwischenschicht macht es unter anderem notwendig, daß zur Verbindung der Leiteranordnung mit den Chipanschlußflächen die Enden der einzelnen Leiter aus der Ebene der Trägerfolie herausgebogen werden müssen, um mit den Chipanschlußflächen in Kontakt zu kommen. Dies macht es unmöglich, zur Herstellung der bekannten Chip-Gehäusung eines der bekannten Verbindungsverfahren, wie etwa das tape-automated bonding (TAB) oder das Flip-Chip-Verfahren zu verwenden.

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, eine Chip-Gehäusung zu schaffen, die gegenüber der bekannten Chip-Gehäusung einen vereinfachten Aufbau und die Anwendung konventioneller Verbindungstechniken bei der Herstellung der Chip-Gehäusung ermöglicht.

Diese Aufgabe wird durch eine Chipträger-Anordnung mit den Merkmalen des Anspruchs 1 sowie durch einen Chipträger mit den Merkmalen des Anspruchs 5 gelöst.

Bei der erfindungsgemäßen Chipträger-Anordnung befinden sich die Leiterbahnen auf der Rückseite der Trägerfolie, wobei im Bereich der Kontaktmetallisierungen Ausnehmungen in der Trägerfolie vorgesehen sind, die Dicke der Trägerfolie kleiner oder im wesentlichen gleich der Höhe der Kontaktflächenmetallisierungen auf der Chipoberfläche ist, und die Leiterbahnen zur Ausbildung der Anschlußflächenanordnung mit einer Lochmaske abgedeckt sind. Es wird ausdrücklich darauf hingewiesen, daß der Begriff "Trägerfolie" hier zur Beschreibung eines gegenüber seiner Flächenausdehnung dünnen Trägerkörpers verwendet wird und je nach Materialwahl für den Trägerkörper sowohl relativ starre als auch flexible Trägerkörper einschließt.

Die erfindungsgemäße Chipträger-Anordnung ermöglicht bei ihrer Herstellung eine Verbindung des Chipträgers mit dem Chip wahlweise im TAB-Verfahren oder im Flip-Chip-Verfahren. Aufgrund des erfindungsgemäßen Aufbaus ist es möglich, die Leiterbahnen von der Rückseite der Trägerfolie her mit einer Thermode, wie im TAB-Verfahren üblich, mit den Kontaktflächenmetallisierungen des Chips zu verbinden, ohne daß dabei die Leiterbahnen aus der Ebene des Trägerfilms herausgebogen werden müßten. Dabei kann dann ein Verbindungskontakt zwischen Kontaktabschnitten der Leiterbahnen und den Kontaktflächenmetallisierungen des Chips im Bereich von Ausnehmungen in der Trägerfolie erfolgen. Die auf die Höhe der Kontaktflächenmetallisierungen abgestimmte Dicke der Trägerfolie ermöglicht eine Kontaktierung ohne Verwerfungen des Chipträgers, wobei die der Chipoberfläche zugewandte Trägerfolie gleichzeitig als Isolierung der Leiterbahnen gegenüber der Chipoberfläche dient. Bei entsprechender dicker Ausführung der Trägerfolie kann die Trägerfolie auch als elastische Zwischenschicht zwischen der Chipoberfläche und der mit den Leiterbahnen versehenen Trägerfolie fungieren, um eine Schwingungsisolierung zu bilden.

Als besonders vorteilhaft erweist es sich, wenn zur Ausbildung einer Kontaktflächenmetallisierung auf der Anschlußflächenanordnung Lotkugeln in dafür bestimmte Löcher der Lochmaske appliziert sind. Hierbei kann die Lochmaske auch als sogenannte Lötstopmaske ausgebildet sein, die ein Zusammenlaufen der Lotkugeln beim Umschmelzen zur Verbindung mit einem elektronischen Bauelement und einem Substrat verhindert. Die Applizierung von Lotkugeln stellt ein besonders kostengünstiges Verfahren zur Erzeugung von Lotbumps dar.

Vorteilhaft ist es auch, wenn zumindest ein zwischen der Trägerfolie und der Chipoberfläche vorhandener Zwischenraum mit einem die Trägerfolie und den Chip adhäsiv miteinander verbindenden Füllstoff versehen ist. Hierdurch wird eine sicher aneinanderhaftende Einheit von Chip und Chipträger gebildet.

Wenn der Chipträger und der Chip in einem etwa aus Kunststoff gebildeten Gehäuse aufgenommen sind, wobei der adhäsive Füllstoff Zwischenräume zwischen der Gehäuseinnenwand und dem Chipträger sowie dem Chip ausfüllt, ist eine Chip-Gehäusung geschaffen, bei der der Chip allseitig sicher abgeschirmt wird. Darüber hinaus stellt dabei die dem Chipträger gegenüberliegend angeordnete Rückseite des Gehäuses ein Beschriftungsfeld dar.

Erfindungsgemäß weist ein Chipträger zur Herstellung einer Chipträger-Anordnung nach einem oder mehreren der Ansprüche 1 bis 4 die Merkmale des Anspruchs 5 auf. Bei dem erfindungsgemäßen Chipträger sind die Leiterbahnen zumindest in einem Teilbereich sandwichartig zwischen der Trägerfolie und einer Lochmaske angeordnet, die zur Ausbildung einer Anschlußflächenanordnung auf den inneren Endbereichen der Leiterbahnen dient.

Um eine kontinuierliche Fertigung von Chip-Gehäusungen zu ermöglichen, erweist sich als vorteilhaft, wenn der Chipträger als Folienband ausgebildet ist, wobei die Teilbereiche jeweils einem Chip zugeordnet sind.

Eine besonders kostengünstige Möglichkeit zur Ausbildung einer Kontaktflächenmetallisierung auf der Anschlußflächenanordnung ist gegeben, wenn Lotkugeln in hierfür bestimmte Löcher der Lochmaske appliziert sind. Diese können dann, bei Verbindung mit einem elektronischen Bauelement oder einem Substrat im Reflow-Verfahren umgeschmolzen werden. Die Applikation der Lotkugeln in der Lochmaske kann vor oder nach der Verbindung des Chipträgers mit dem Chip erfolgen.

Wenn die Leiterbahnen auf der Trägerfolie im Bereich von Kontaktabschnitten auf einer Chipkontaktseite offenliegen, ist dies ausreichend, um eine Kontaktierung des Chipträgers im Flip-Chip-Verfahren durchzuführen, bei der etwa die Chips mit ihren Kontaktflächenmetallisierungen nach unten auf den unterhalb des Chips getaktet durchlaufenden Chipträger aufgesetzt werden. Bei einer Kontaktierung von Chipträger und Chip im Flip-Chip-Verfahren kann die Lochmaske nicht nur abschnittsweise sondern auch kontinuierlich ausgebildet sein, da kein Zugriff auf die Leiterbahnen von der Rückseite der Trägerfolie her notwendig ist.

Wenn die Leiterbahnen des Chipträgers im Bereich von Kontaktabschnitten beidseitig offenliegen, also sowohl auf der Vorderseite (Chipkontaktseite) als auch auf der Rückseite der Trägerfolie, kann eine Verbindung des Chipträgers mit dem Chip durch eine Beaufschlagung der Kontaktabschnitte von der Rückseite der Trägerfolie her mit einer Thermode oder ähnlichem im TAB-Verfahren durchgeführt werden. Hierbei ist dann, wie vorstehend erwähnt, die Lochmaske in Teilbereichen ausgebildet, wobei die einzelnen Teilbereiche auch zusammenhängend, also etwa lediglich durch eine die Kontaktabschnitte der Leiterbahnen freigebende Perforation getrennt, ausgebildet sein können.

Vorteilhaft ist es auch, wenn die Leiterbahnen derart ausgebildet sind, daß deren Kontaktabschnitte in äußere Endbereiche übergehen, die in Anschlußflächen auslaufen und zu den Anschlußflächen hin divergierend angeordnet sind. Hierdurch wird neben der "inneren" Kon-

taktierung auf der Anschlußflächenanordnung auf der Rückseite der Trägerfolie auch eine "äußere" Kontaktierung des Chips möglich, wobei gleichzeitig durch die aufgefächerte Anordnung der äußeren Anschlußflächen und den damit ermöglichten vergrößerten Anschlußflächen eine genaue Kontaktierung, beispielsweise zu Qualitätsprüfzwecken, wesentlich erleichtert wird.

Wenn die Trägerfolie benachbart den Kontaktabschnitten einen umlaufenden Folienspalt aufweist, derart daß über mehrere Solltrenneinrichtungen ein Trägerfolieninnenbereich mit einem Trägerfolienaußenbereich verbunden ist, ist nach Fertigstellung zusammenhängender Chipträger-Anordnungen bzw. Chip-Gehäusungen eine schnelle und einfache Vereinzelung, beispielsweise durch Stanzung, möglich.

Bei äußeren Endbereichen der Leiterbahnen im Trägerfolienaußenbereich, die sich über den Folienspalt erstrecken, kann vor dem Vereinzeln auf schnelle und einfache Art und Weise eine Prüfkontaktierung durchgeführt werden.

Nachfolgend wird die Erfindung unter Darstellung einer Ausführungsform eines Chipträgers sowie mehrerer Ausführungsformen einer Chip-Gehäusung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine Schnittdarstellung eines Chipträgers mit einer Trägerfolie und darauf angeordneten Leiterbahnen;

Fig. 2 eine Draufsicht des in Fig. 1 dargestellten Chipträgers;

Fig. 3 den in Fig. 1 dargestellten Chipträger, wobei dessen Leiterbahnen zur Ausbildung einer Chipträger-Anordnung mit Kontaktflächenmetallisierungen eines Chips verbunden sind;

Fig. 4 die in Fig. 3 dargestellte Chipträger-Anordnung in einer Draufsicht;

Fig. 5 die in Fig. 4 dargestellte Chipträger-Anordnung mit einer Lotkugelapplikation auf inneren Endbereichen der Leiterbahnen;

Fig. 6 die in Fig. 5 dargestellte Chipträger-Anordnung in einer Draufsicht;

Fig. 7 die in Fig. 5 dargestellte Chipträger-Anordnung mit einem Kunststoffverguß;

Fig. 8 die in Fig. 7 dargestellte Chipträger-Anordnung mit einer zwischen dem Chipträger und der Chipoberfläche vorgesehenen Unterfüllung;

Fig. 9 eine Chip-Gehäusung mit einem Kunststoffgehäuse;

Fig. 10 eine aus der Trägerfolie herausgelöste, vereinzelte Chip-Gehäusung;

Fig. 11 eine Darstellung des in Fig. 2 dargestellten Innenbereichs einer Trägerfolie im Verbund mit einem Außenbereich der Trägerfolie;

Fig. 12 eine Variation der in Fig. 11 dargestellten Trägerfolie mit Leiterbahnen, die um äußere Endbereiche bis in den Außenbereich der Trägerfolie zur Ausbildung von Prüfanschlußflächen verlängert sind.

Fig. 1 zeigt in einer Schnittdarstellung eine Trägerfolie 20, die auf ihrer Rückseite mit einer einzelnen Leiterbahn 21 aufweisenden Leiterbahnstruktur 22 versehen ist. Bei der Trägerfolie 20 kann es sich um eine insbesondere beim TAB-Verfahren häufig verwendete Polyimidfolie mit Leiterbahnstrukturierung (Kaptonfolie) handeln. Grundsätzlich sind jedoch zur Ausbildung eines im nachfolgenden genauer beschriebenen Chipträgers 23 auch andere Folienarten verwendbar, soweit sie sich aufgrund ihrer Materialeigenschaften zur Aufbringung einer Leiterbahnstruktur eignen.

Wie insbesondere aus Fig. 2 zu ersehen ist, in der ein

Innenbereich 24 einer in Fig. 11 in der gesamten Breite dargestellten Trägerfolie 20 abgebildet ist, erstrecken sich die einzelnen Leiterbahnen 21 mit einem Kontaktabschnitt 25, der an einen inneren Endbereich 26 anschließt, über eine hier umlaufend rahmenartig ausgebildete Ausnehmung 28 im Innenbereich 24 der Trägerfolie 20. Auf diese Art und Weise verbinden in dem hier dargestellten Ausführungsbeispiel die Leiterbahnen 21 einen Folienrahmen 29 mit einem Kernbereich 30 des Innenbereichs 24 der Trägerfolie 20. Wie Fig. 11 zeigt, ist der Innenbereich 24 der Trägerfolie 20 über Solltrennstage 31, die einen umlaufenden Folienspalt 55 überbrücken, in den Eckbereichen des Folienrahmens 29 mit einem Außenbereich 32 der Trägerfolie 20 verbunden. Der Außenbereich 32 der in Fig. 11 in einem Längsabschnitt dargestellten Trägerfolie 20 weist an seinen Längsrändern 33 eine Perforation 34 auf, die für den Eingriff einer hier nicht näher dargestellten Traktionsvorrichtung zur Ausführung einer Vorschubbewegung der Trägerfolie 20 in Richtung des Pfeils 35 vorgesehen ist.

Auf der Rückseite der Trägerfolie 20 ist die Leiterbahnstruktur 22 mit einer Lötstopmaske 36 abgedeckt, die im wesentlichen deckungsgleich mit dem auf der Gegenseite der Leiterbahnstruktur 22 angeordneten Kernbereich 30 der Trägerfolie 20 ist. Die Lötstopmaske 36 kann als Beschichtung, beispielsweise als Lötstoplackauftrag, ausgebildet sein. Wesentlich ist, daß die Lötstopmaske 36 eine Lochmaske bildet mit einzelnen Löchern 37, die jeweils über einem inneren Endbereich 26 einer Leiterbahn 21 angeordnet sind und somit einen unmittelbaren Zugriff auf die jeweilige Leiterbahn 21 von der Rückseite der Trägerfolie 20 her ermöglichen. Von der Vielzahl der in Fig. 2 in beispielhafter Verteilung über der Leiterbahnstruktur 22 angeordneten Löcher 37 der Lötstopmaske 36 sind in Fig. 1 lediglich zwei in darüber hinaus von der Darstellung in Fig. 2 abweichender Anordnung dargestellt.

In Fig. 1 ist auf der Vorderseite der Trägerfolie 20, den Kernbereich 30 überdeckend, eine beispielsweise aus einem adhäsiven Material gebildete Füllage 38 vorgesehen, deren Funktion nachfolgend noch genauer erläutert wird.

Fig. 3 zeigt den zur Ausbildung einer Chipträger-Anordnung 27 mit einem Chip 39 bestückten Chipträger 23, wobei die Kontaktabschnitte 25 der Leiterbahnen 21 mit als Bumps 40 ausgeführten Kontaktflächenmetallisierungen des Chips 39 verbunden sind. Die Bumps 40 können beispielsweise als Gold-Bumps oder auch als Gold-/Nickel-Bumps ausgebildet sein. Die Leiterbahnen können als Kupferbahnen ausgebildet sein, die in ihren Endbereichen zur Verbindung mit den Bumps 40 bzw. Lotkugeln 41 mit einer Gold-, Gold-/Nickel- bzw. Zinn-Metallisierung versehen sein können. In jedem Fall kann die Metallisierung auf die betreffende Verbindung abgestimmt sein. Die Verbindung der mit der Trägerfolie 20 verbundenen Leiterbahnen 21 mit den Bumps 40 kann über ein TAB-Verfahren erfolgen, bei dem eine in Fig. 3 gestrichelt angedeutete Thermode von der Rückseite der Trägerfolie 20 her auf die Kontaktabschnitte 25 der Leiterbahnen aufgesetzt wird und diese unter Druck und Temperatureinwirkung gegen die Bumps 40 des Chips 39 preßt. Bei diesem Vorgang bleiben die Leiterbahnen 21 bzw. deren Kontaktabschnitte 25 in ebenenparalleler Anordnung zur Trägerfolie 20, wie es für das TAB-Verfahren charakteristisch ist.

Wie aus Fig. 3 deutlich hervorgeht, wird die Anwen-

dung des TAB-Verfahrens unter anderem auch dadurch ermöglicht, daß die Foliendicke s kleiner ist als oder höchstens so groß sein kann wie die Höhe h der die Oberfläche des Chips 39 überragenden Bumps 40. Nur so ist nämlich eine ebenenparallele Anordnung der Trägerfolie 20 zur Chipoberfläche möglich. Die in Fig. 3 auf dem Kernbereich 30 der Trägerfolie 20 vorgesehene Füllage 38 dient zum Auffüllen eines ansonsten zwischen der Trägerfolie 20 und der Oberfläche des Chips 39 vorhandenen Zwischenraums und schafft durch ihre adhäsiven Eigenschaften eine Sicherung der mechanischen Haftung zwischen dem Chipträger 23 und dem Chip 39. Bei elastischer Ausbildung der Füllage sorgt diese auch für eine mechanische Dämpfung zwischen dem Chipträger 23 und dem Chip 39 bei mechanischer Beanspruchung. Zur Ausfüllung des vorgenannten Zwischenraums ist es jedoch ebenso gut möglich, die Foliendicke s so zu wählen, daß sie der Höhe h der Bumps 40 entspricht. Diese liegt im Regelfall bei etwa 25 μm .

Fig. 4 zeigt noch einmal in einer Draufsicht die mit den Bumps 40 des Chips 39 kontaktierten Kontaktabschnitte 25 der Leiterbahnen 21.

Aus der Darstellung gemäß Fig. 3 wird ebenso deutlich, daß eine Bestückung des Chipträgers 23 nicht nur im TAB-Verfahren, sondern auch im Flip-Chip-Verfahren möglich ist. Dabei wird dann der Chip 39 mit seinen Bumps 40 voran auf die Kontaktabschnitte 25 des gegebenenfalls unterhalb des Chips 39 angeordneten Chipträgers 23 aufgesetzt.

Die Fig. 5 und 6 zeigen den in den Fig. 3 und 4 dargestellten Chipträger 23 nach erfolgter Lotkugelapplikation, so daß in den Löchern 37 der Lötstopmaske 36 jeweils eine Lotkugel 41 zur Ausbildung eines aus Fig. 6 besonders deutlich hervorgehenden ball-grid-array 42 angeordnet ist. Die im ball-grid-array 42 angeordneten Lotkugeln 41 dienen zur Verbindung mit einem elektronischen Bauelement, etwa einem ebenfalls auf einem Chipträger mit ball-grid-array angeordneten Chip zur Erzeugung einer Multichip-Struktur oder auch zur Verbindung mit einem Substrat. Die Verbindung mit dem weiteren Bauelement oder dem Substrat kann dann durch Umschmelzen der Lotkugeln 41 im Reflow-Verfahren erfolgen.

Fig. 7 zeigt die in den Fig. 5 und 6 dargestellte Chipträger-Anordnung 27 mit einem Verguß 43, der sowohl einen durch die Kontaktierung der Leiterbahnen 21 mit den Bumps 40 geschaffenen Verbindungsbereich 44 als auch die Seiten des Chips 39 umgibt und somit eine gegen Umwelteinflüsse abgeschlossene, starre Chip-Gehäuseung 45 bildet. Das Aufbringen des Vergusses 43 in den in Fig. 7 dargestellten Bereichen kann beispielsweise dadurch erfolgen, daß der Folienträger 20 durch ein hier nicht näher dargestelltes Kunstharzbad transportiert wird.

Fig. 8 zeigt eine von Fig. 7 dahingehend abweichende Variante, daß auf die Anordnung einer Füllage 38 verzichtet wurde und ein hierdurch zwischen der Trägerfolie 20 und der Chipoberfläche verbleibender, bereits erwähnter, Zwischenraum beim Aufbringen des Vergusses 43 durch das eine Unterfüllung 46 bildende Vergußmaterial ausgefüllt wird.

Fig. 9 zeigt schließlich in einer Variante eine Chip-Gehäuseung 47, bei der zusätzlich zum Verguß 43 bzw. einer Unterfüllung 46 ein beispielsweise aus Kunststoff gebildetes Gehäuse 48 von der Rückseite des Chips 39 her auf diesen aufgeschoben ist, wobei hier ein zwischen einer Gehäuseinnenwand 49 und dem Chipumfang verbleibender Zwischenraum ebenfalls mit dem Verguß

bzw. der Unterfüllung ausgefüllt ist.

Fig. 10 zeigt schließlich die durch Durchtrennung der Solltrennstage 31 (Fig. 11) aus der Trägerfolie 20 herausgelöste und somit vereinzelt Chip-Gehäusung 47. Die Vereinzelung der in den Fig. 7 bis 8 dargestellten beispielhaften Alternativen erfolgt auf dieselbe Art und Weise.

Fig. 12 zeigt in einer alternativen Ausführungsform eine Trägerfolie 50, die mit einer Leiterbahnstruktur 51 versehen ist. Die Leiterbahnstruktur 51 weist Leiterbahnen 52 auf, die neben einem mittleren Kontaktabschnitt 25 und einem inneren Endbereich 26 einen äußeren Endbereich 53 aufweisen.

Die Unterschiede der in Fig. 12 dargestellten Trägerfolie 50 werden besonders deutlich im Vergleich mit der in Fig. 11 dargestellten Trägerfolie 20. Fig. 12 zeigt, daß die äußeren Endbereiche 53 der Leiterbahnen 52 sich von den Kontaktabschnitten 25 ausfächernd nach außen bis in den Außenbereich 32 der Trägerfolie 50 erstrecken. Die Enden der äußeren Endbereiche 53 sind als Kontaktflächen 54 ausgebildet, die auf jede Kantenlänge des Kernbereichs 30 der Trägerfolie 50 bezogen linear angeordnet sind und einen im Vergleich mit den Kontaktabschnitten 25 wesentlich vergrößerten Mittenabstand a untereinander aufweisen. Durch die im Vergleich zur Leiterbahndicke wesentlich vergrößerten Kontaktflächen und deren relativ großen Abstand a voneinander wird eine Kontaktierung der Kontaktflächen 54, beispielsweise zu Prüfzwecken, wesentlich vereinfacht. Infolge des in Fig. 12 dargestellten vorteilhaften Aufbaus der Trägerfolie 50 kann die Kontaktierung der äußeren Kontaktflächen 54 zu einem beliebigen Zeitpunkt während der Verbindung zwischen dem Chipträger 23 und dem Chip 39 oder nach Fertigstellung der Chip-Gehäusung 45 bzw. 47 vor deren Vereinzelung (siehe Fig. 10) erfolgen. Bei der Vereinzelung einer Chip-Gehäusung 45 bzw. 47, die unter Verwendung einer in Fig. 12 dargestellten Trägerfolie 50 hergestellt worden ist, werden die äußeren Endbereiche 53 der Leiterbahn 52 zusammen mit den Solltrennstegen 31, beispielsweise durch Stanzung, abgetrennt.

Patentansprüche

1. Chipträger-Anordnung mit einem Chipträger zur Herstellung einer Chip-Gehäusung, der auf einer Trägerfolie mit Leiterbahnen versehen ist, die auf der einem Chip zugewandten Vorderseite der Trägerfolie mit Kontaktflächenmetallisierungen des Chips verbunden sind, und die mit ihren freien Enden eine flächig verteilte Anschlußflächenanordnung zur Verbindung mit einem elektronischen Bauelement oder einem Substrat bilden, dadurch gekennzeichnet, daß die Leiterbahnen (21, 52) auf der Rückseite der Trägerfolie (20, 50) angeordnet sind, wobei in der Trägerfolie (20, 50) im Bereich der Kontaktflächenmetallisierungen (40) Ausnehmungen (28) vorgesehen sind, und die Leiterbahnen (21, 52) zur Ausbildung der Anschlußflächenanordnung (42) mit einer Lochmaske (36) abgedeckt sind, wobei die Dicke der Trägerfolie (20, 50) kleiner oder im wesentlichen gleich der Höhe (h) der Kontaktflächenmetallisierungen (40) auf der Chipoberfläche ist.

2. Chipträger-Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß zur Ausbildung einer Kontaktflächenmetallisierung auf der Anschlußflächenanordnung (42) Lotkugeln (41) in Löcher (37)

der Lochmaske (36) appliziert sind.

3. Chipträger-Anordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß zur Ausbildung einer Chip-Gehäusung (45) zumindest ein zwischen der Trägerfolie (20, 50) und der Oberfläche des Chips (39) vorhandener Zwischenraum mit einem Füllstoff (38, 46) versehen ist.

4. Chipträger-Anordnung nach Anspruch 3, dadurch gekennzeichnet, daß zur Ausbildung einer Chip-Gehäusung (47) der Chipträger (23) und der Chip (39) in einem Gehäuse (48) aufgenommen sind, wobei zwischen einer Gehäuseinnenwand (49) und dem Chipträger (23) sowie dem Chip (39) und dem Chipträger (23) vorhandene Zwischenräume durch den Füllstoff (38) ausgefüllt sind.

5. Chipträger zur Herstellung einer Chipträger-Anordnung nach einem oder mehreren der Ansprüche 1 bis 4 mit einer Leiterbahnen aufweisenden Trägerfolie, dadurch gekennzeichnet, daß die Leiterbahnen (21, 52) zumindest in einem Teilbereich sandwichartig zwischen der Trägerfolie (20, 50) und einer Lochmaske (36) angeordnet sind, die zur Ausbildung einer Anschlußflächenanordnung (42) auf inneren Endbereichen (26) der Leiterbahnen (21, 52) dient.

6. Chipträger nach Anspruch 5, dadurch gekennzeichnet, daß zur Ausbildung einer Kontaktflächenmetallisierung auf der Anschlußflächenanordnung (42) Lotkugeln (41) in Löchern (37) der Lochmaske (36) appliziert sind.

7. Chipträger nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß die Leiterbahnen (21, 52) im Bereich von Kontaktabschnitten (25) auf einer Chipkontaktseite offenliegen.

8. Chipträger nach Anspruch 6 oder 7, dadurch gekennzeichnet, daß die Leiterbahnen (21, 52) im Bereich von Kontaktabschnitten (25) beidseitig offenliegen.

9. Chipträger nach einem oder mehreren der vorangehenden Ansprüche 5 bis 7, dadurch gekennzeichnet, daß die Kontaktabschnitte (25) in äußere Endbereiche (53) der Leiterbahnen (52) übergehen, die in Kontaktflächen (54) auslaufen und zu den Kontaktflächen (54) hin divergierend angeordnet sind.

10. Chipträger nach Anspruch 8 oder 9, dadurch gekennzeichnet, daß die Trägerfolie (20, 50) benachbart den Kontaktabschnitten (25) einen umlaufenden Folienspalt (55) aufweist, derart, daß über mehrere Solltrenneinrichtungen ein Trägerfolieninnenbereich (24) mit einem Trägerfolienaußenbereich (32) verbunden ist.

11. Chipträger nach Anspruch 10, dadurch gekennzeichnet, daß die Trägerfolie (50) Leiterbahnen (52) aufweist, die ausgehend von den Kontaktabschnitten (25) äußere Endbereiche (53) aufweisen, welche sich über den Folienspalt (55) bis auf den Trägerfolienaußenbereich (32) erstrecken.

Hierzu 5 Seite(n) Zeichnungen

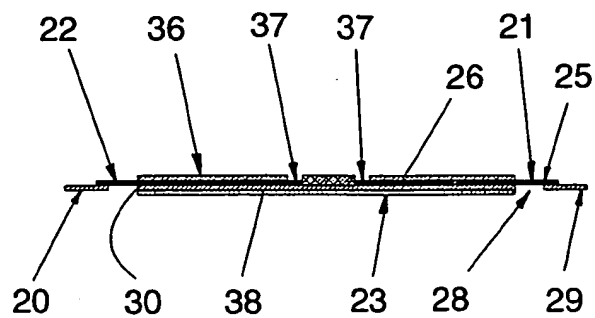


Fig. 1

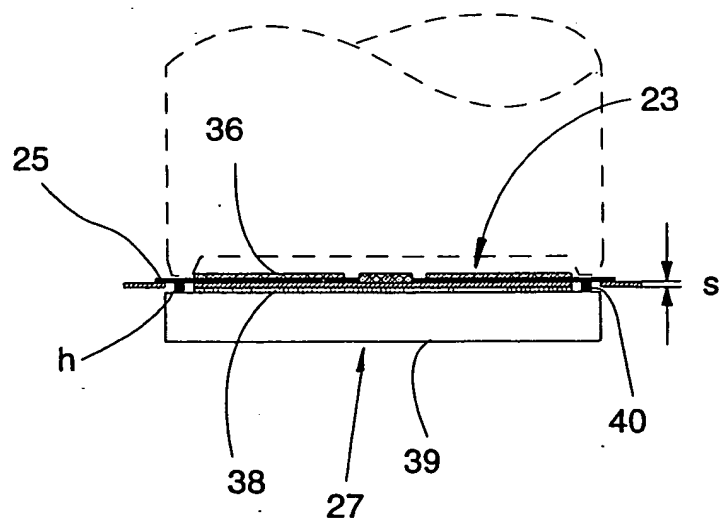


Fig. 3.

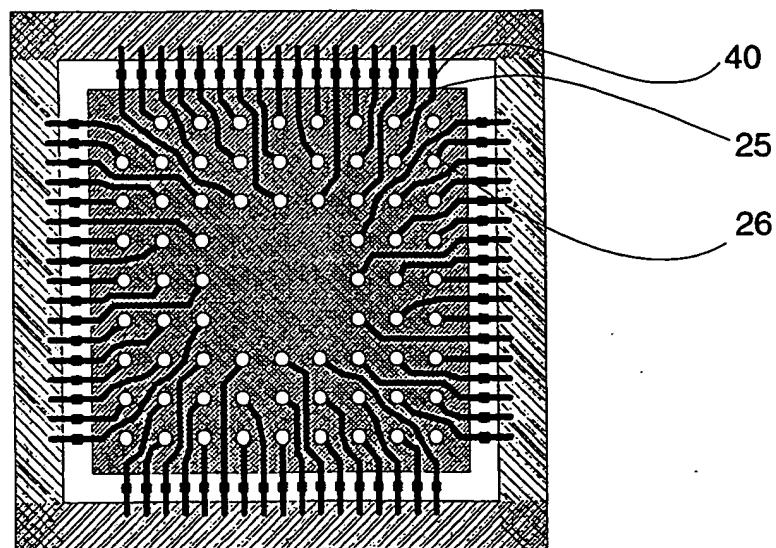
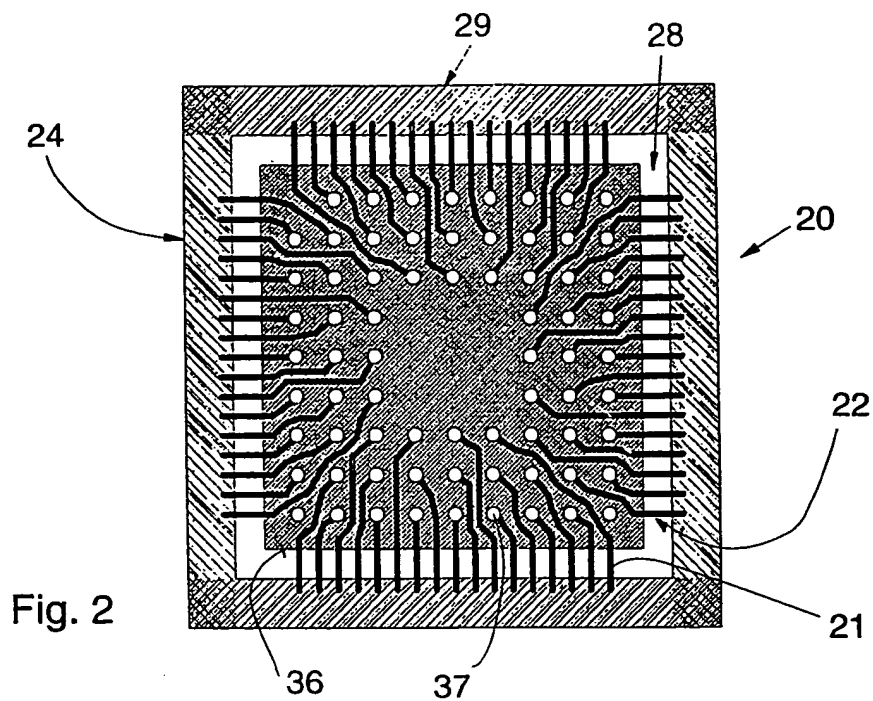


Fig. 4

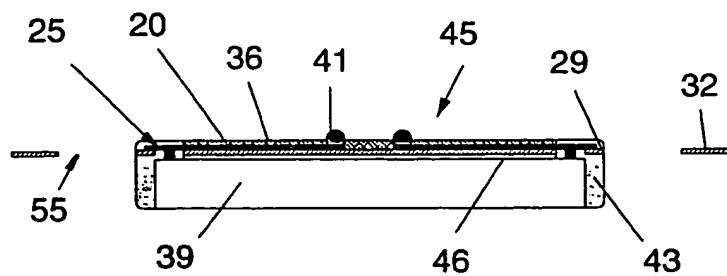


Fig. 8

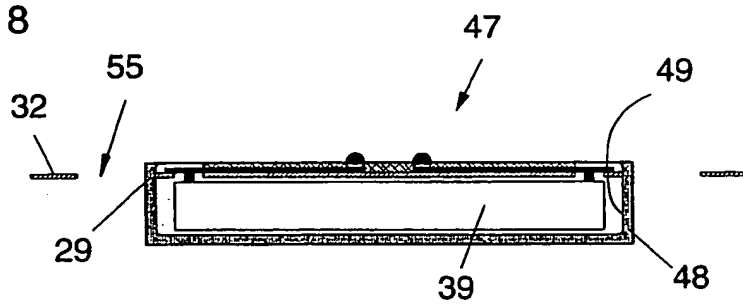


Fig. 9

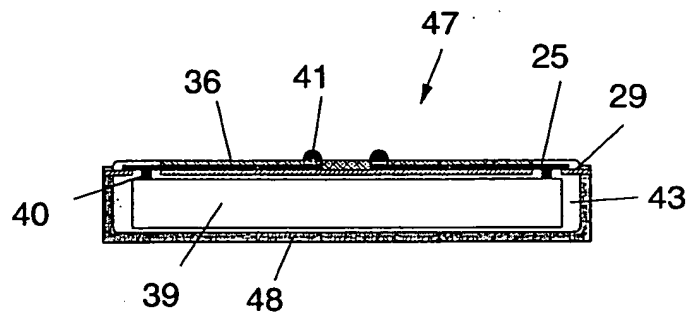


Fig. 10

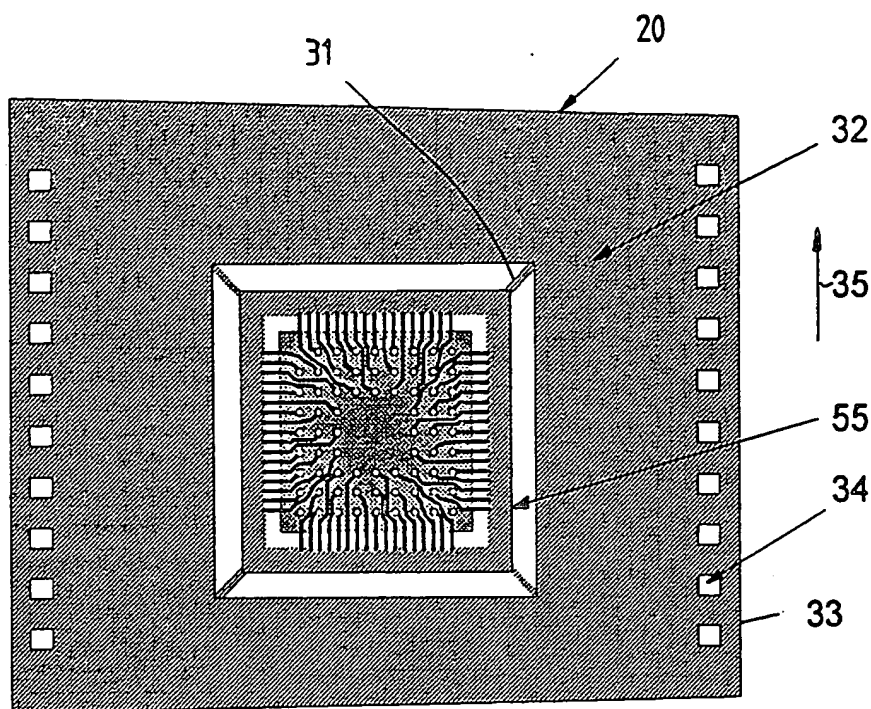


Fig. 11

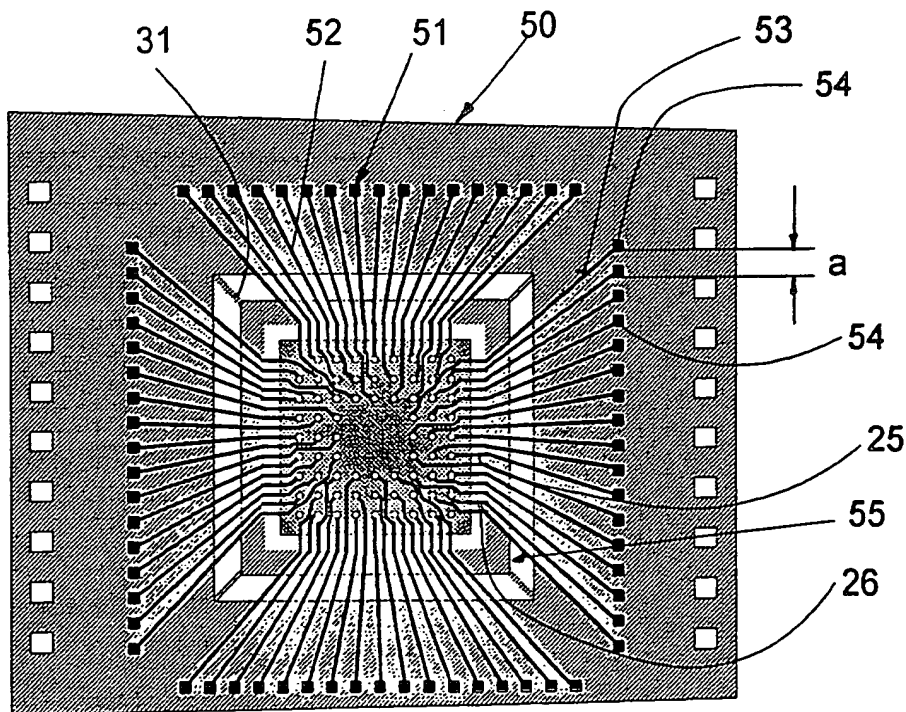


Fig. 12

Docket # UAS-FIN-116

Applic. # _____

Applicant: Johann Windel et al.

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101

602 029/118